

## Print

Dec 5, 1990

6/19/02 4:06 PM

## ⑫ 公開特許公報(A) 平2-294061

⑤ Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)12月5日

H 01 L 23/52  
25/04  
25/187454-5F  
7638-5FH 01 L 23/52  
25/04D  
Z

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 マルチチップパッケージ構造

⑯ 特 願 平1-114559

⑰ 出 願 平1(1989)5月8日

⑱ 発 明 者 都 築 幸 夫 愛知県刈谷市昭和町1丁目1番地 日本電装株式会社内  
 ⑱ 発 明 者 近 藤 健 治 愛知県刈谷市昭和町1丁目1番地 日本電装株式会社内  
 ⑲ 出 願 人 日本電装株式会社 愛知県刈谷市昭和町1丁目1番地  
 ⑳ 代 理 人 弁理士 藤 谷 修

## 明 細 書

## 1. 発明の名称

マルチチップパッケージ構造

## 2. 特許請求の範囲

複数のLSIや個別半導体素子等のチップをリードフレームに実装し、一つの樹脂モールドパッケージとしたマルチチップパッケージ構造において、

前記複数のチップを直接搭載した前記リードフレームと、

前記リードフレームを構成するフレームから形成され、前記チップとワイヤボンディングして該チップ間を接続するために一つ一つ島形状に独立して配設された中融用リードフレームと、

前記中融用リードフレームを前記リードフレームと接着固定する樹脂より成る補強フィルムと

を有することを特徴とするマルチチップパッケージ構造。

## 3. 発明の詳細な説明

【産業上の利用分野】

本発明は、複数のLSIや個別半導体素子等のチップをリードフレームに実装し、一つにパッケージングしたマルチチップパッケージ構造に関する。

## 【従来技術】

従来、マルチチップパッケージ構造は、第3図に示したように、複数のLSIや個別半導体素子等のチップ21、22を同一パッケージに収納している。そして、このパッケージ中においてチップ21とチップ22との接続が必要である。このチップ21とチップ22とを接続するために、先ず、チップ21、22をハイブリッドIC用基板(例えば、Al<sub>2</sub>O<sub>3</sub>基板)23に接着する。次に、チップ21、22とハイブリッドIC用基板23の配線パターン24とをワイヤ25で接続する。そして、チップ21、22が搭載されたハイブリッドIC用基板23をリードフレーム26に接着し、ハイブリッドIC用基板23の配線パターン24とリードフレーム26とをワイヤ25で接続する。その後、モールド樹脂27にてパッケージ

ングしてマルチチップパッケージ構造としている。

#### 【発明が解決しようとする課題】

上記ハイブリッドIC用基板を用いたマルチチップパッケージ構造においてはモノリシックIC製造技術とハイブリッドIC製造技術との組み合わせとなるためモノリシックICのみに比べてハイブリッドIC分が材料及び製造工程の両面においてコストアップの要因となっていた。

本発明は、上記の課題を解決するために成されたものであり、その目的とするところは、複数のチップを同一パッケージに収納するためにハイブリッドIC用基板等の別の基板を用いることなく、構造を簡素化して低コストなマルチチップパッケージ構造を提供することである。

#### 【課題を解決するための手段】

上記課題を解決するための発明の構成は、複数のLSIや個別半導体素子等のチップをリードフレームに実装し、一つの樹脂モールドパッケージとしたマルチチップパッケージ構造において、前記複数のチップを直接搭載した前記リードフレ

ームと、前記リードフレームを構成するフレームから形成され、前記チップとワイヤボンディングして該チップ間を接続するために一つ一つ島形状に独立して配設された中継用リードフレームと、前記中継用リードフレームを前記リードフレームと接着固定する樹脂より成る補強フィルムとを有することを特徴とする。

#### 【作用】

リードフレームに複数のチップを直接搭載する。そして、そのリードフレームを構成するフレームから形成された中継用リードフレームを配設して中継させチップ間の接続が行われる。ここで、リードフレームと中継用リードフレームとは樹脂より成る補強フィルムにより接着固定されている。従って、チップ間に別に中継用基板等を設けることなく、各々のチップと中継用リードフレームを接続して利用することによりチップとチップとが接続できる。

#### 【実施例】

以下、本発明を具体的な実施例に基づいて説明

する。

第1図は本発明のマルチチップパッケージ構造で、リードフレームより上にてパッケージングしているモールド樹脂を除いた状態を示している。又、第2図は第1図の中央縦断面図である。

11、12は複数のLSIや個別半導体素子等のチップであり、チップ11、12はシリコン、ガリウム砒素、インジウムリン等から成る。又、13はリードフレームで、リードフレーム13は42アロイ或いはCu系合金より成る。そして、14はチップ11、12とリードフレームとを接続している導電性接着剤或いは半田より成る接続層である。又、15はチップ11、12とリードフレーム13とを接続しているAu或いはAuから成るワイヤである。更に、16は上記リードフレーム13を構成するフレームから形成された中継用リードフレームであり、中継用リードフレーム16はチップ11とチップ12との間に位置して各々島形状に独立している。そして、17はリードフレーム13と中継用リードフレームとを接着

固定しているポリイミド樹脂から成る補強フィルムである。

ここで、中継用リードフレーム16部分の形成について述べる。

まず、リードフレーム13がエッチングやプレス型により形成される。この時、中継用リードフレーム16部分も同時に形成されるが他のリードフレーム13部分と繋がった状態であり島形状に独立はしていない。次に、この状態の中継用リードフレーム16を含むリードフレーム13に補強フィルム17を接着した後、リードフレーム13の中継用リードフレーム16となるべき部分を島形状の独立した形状となるように切り離す。すると、第1図及び第2図に示したように、最終的なリードフレーム13及び中継用リードフレーム16が形成される。従って、中継用リードフレーム16はリードフレーム13の一部であると共に他の周辺のリードフレーム13と電気的に分離した状態を実現でき、樹脂モールドパッケージとする前のリードフレーム13と中継用リードフレ

ム16とは一体的構成に維持される。従って、中継用リードフレーム16をチップ11とチップ12との配線として使用することが可能となる。

そして、このように形成されたリードフレーム13上にチップ11、12が接統層14を介して接統される。次に、チップ11、12とリードフレーム13とはAu或いはAgから成るワイヤ15により各回路間が接統される。又、チップ11とチップ12間との接統においては、上述のように全ての中継用リードフレーム16がリードフレーム13と前以って補強フィルム17により接着され固定され独立した島形状となっているので、その一つ一つを利用して上記ワイヤ15により接統される。この後、モールド樹脂18にてパッケージングされてマルチチップパッケージとなる。

尚、補強フィルム17としてはポリエステル樹脂から成るフィルムでも可能である。

上述のように、従来のリードフレームを構成するフレームから形成され、補強フィルムで接着されて一体的となった中継用リードフレームを利用

するので、チップとチップとを接統するのに中継用基板を必要としない。つまり、モノリシックIC製造技術に補強フィルムを加えた技術の組み合わせのみでマルチチップパッケージ構造が達成できることになる。

従って、マルチチップパッケージ構造が簡素化され製造技術的に容易となるので、低コストにてマルチチップパッケージを提供できる。

#### 【発明の効果】

本発明は、複数のチップを直接搭載したリードフレームと、そのリードフレームを構成するフレームから形成され、上記チップとワイヤボンディングしてチップ間を接統するために配設された中継用リードフレームと、その中継用リードフレームを上記リードフレームと接着固定する樹脂フィルムより成る補強樹脂とを有するマルチチップパッケージ構造である。従って、別の中継用基板を設ける必要が無く、替わりに従来のリードフレームの一部から成る中継用リードフレームが、そのリードフレームと補強樹脂フィルムにて接着固定

され、その中継用リードフレームを使用してチップ間が接統されるので、製造工程が簡素化されコストが最小限に抑えられる。

#### 4. 図面の簡単な説明

第1図は本発明の具体的な一実施例に係るマルチチップパッケージ構造を示した説明図。第2図は同実施例に係るマルチチップパッケージ構造を示した縦断面図。第3図は従来のマルチチップパッケージ構造を示した縦断面図である。

11、12 ……チップ 13 ……リードフレーム

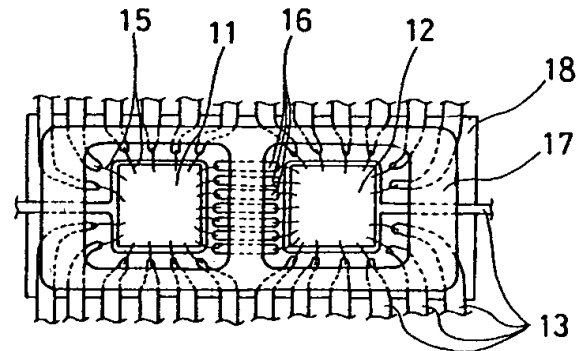
14 ……接統層 15 ……ワイヤ

16 ……中継用リードフレーム

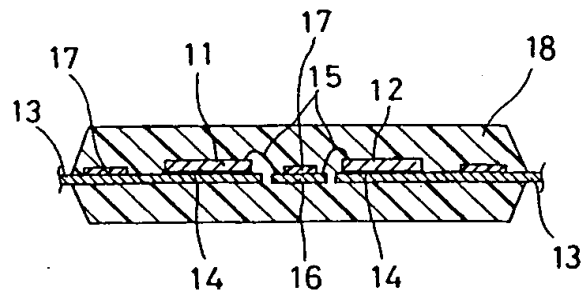
17 ……補強フィルム

特許出願人 日本電装株式会社  
代理人 弁理士 藤谷 修

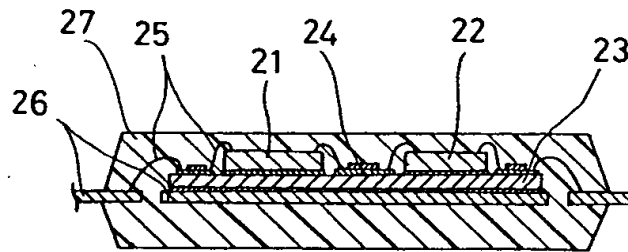
第1図



第2図



第3図



**PTO: 2002-3476**

**Japanese Published Unexamined Patent Application (A) No. 02294061, published December 5, 1990; Application Filing No. 01-114559, filed May 8, 1989; Inventor(s): Yukio Tsuzuki et al.; Assignee: Nippon Densoo Corporation; Japanese Title: Multi-Chip Package Structure**

---

## **MULTI-CHIP PACKAGE STRUCTURE**

### **CLAIM(S)**

**A multi-chip package structure, wherein multiple chips such as LSIs and individual chips are mounted on the lead frames and put into one resin mold package, comprising: lead frames on which multiple chips are directly mounted; relay lead frames made by the frames constituting said lead frames and independently installed in an island form to connect said chips to each other by wire-bonding to said chips, and a reinforcing film made of resin which bonds/secures said relay lead frames to said lead frames.**

### **DETAILED DESCRIPTION OF THE INVENTION**

#### **(Field of Industrial Application)**

**The present invention pertains to a multi-chip package structure wherein chips, such as multiple LSIs and individual semiconductor chips, are mounted and packaged into one unit.**

**(Prior Art)**

**In the prior art multi-chip package structure, as shown in Fig. 3, multiple LSIs and individual chips 21 and 22 are accommodated in one package, and in this package, chip 21 and chip 22 need to be connected. To connect the chip 21 and chip 22, the chips 21 and 22 are bonded to a hybrid IC substrate 23 (e.g.,  $\text{Al}_2\text{O}_3$  substrate) first, and subsequently the chips 21 and 22 are connected to wiring pattern 24 with wire 25. Then, the hybrid IC substrate 23, on which the chips 21 and 22 are mounted, is bonded to lead frame 26, and the wiring pattern 24 of the hybrid IC substrate 23 and the lead frame 26 are connected with wire 25. Subsequently, they are all packaged with mold resin 27 to form a multi-chip package structure.**

**(Problems of the Prior Art to Be Addressed)**

**The aforementioned multi-chip package structure having the hybrid IC substrate uses a combined technology of monolithic IC manufacturing technology and of hybrid IC manufacturing technology, therefore, results in higher cost relative to the structure that uses a monolithic IC alone since the hybrid IC requires high cost in material and in manufacturing process.**

**The present invention was produced to solve the aforementioned problems, and attempts to present an inexpensive multi-chip package structure, which is simplified in structure without using a separate substrate such as a hybrid IC substrate, to accommodate multiple chips in one package.**

**(Means to Solve the Problems)**

**The structure of the present invention that solves the aforementioned problems is a multi-chip package structure, wherein multiple chips, such as LSIs and individual chips, are mounted on the lead frames and put into one resin mold package. Said multi-chip package structure comprises said lead frames on which multiple chips are directly mounted, relay lead frames made of frames constituting said lead frames and each independently installed in an island form to connect said chips by wire-bonding to said chips, and a reinforcing film made of resin which bonds/secures said relay lead frames to said lead frames.**

**(Operation)**

**Multiple chips are directly mounted on said lead frames. Then, the relay lead frames made by frames constituting said lead frames are installed and the chips are connected to each other via these relay lead frames. The lead frames and the relay lead frames are bonded/secured to each other by the reinforcing film made of resin. Accordingly, the chips can be connected to each other by connecting each chip to the respective relay lead frame, so another relay substrate needs not be installed between the chips.**

**(Embodiment Examples)**

**The present invention is explained more specifically with reference to the embodiment example.**

**Fig. 1 shows a planar view of the multi-chip package structure of the present invention, wherein the molded resin is removed from the top of the lead frames. Fig. 2 shows a cross-sectional view of said structure cut away at the center line.**

**In the figures, 11 and 12 indicate the chips, such as LSIs or individual chips, and the chips 11 and 12 are made of silicon, gallium arsenic, or phosphorus indium [sic]; 13 indicates the lead frames, which are made of 42 alloy or Cu alloy; 14 indicates the connection layer made of solder or conductive adhesive that connects the chips 11 and 12 to the lead frames; 15 indicates the wire made of Au or Al that connects the chips 11 and 12 to the lead frames 13. Moreover, 16 indicates the relay lead frames made of lead frames constituting the lead frames 13. The relay lead frames 16 are independently isolated from each other in form of an island and positioned between the chips 11 and 12. And, 17 indicates the reinforcing film made of polyimide resin and it bonds/secures the lead frames 13 and the relay lead frames.**

**Formation of the relay lead frames 16 is explained below.**

**The lead frames 13 are formed by etching or press-molding. The relay lead frame section 16 is also formed simultaneously at this time, but relay lead frame section is connected to the other lead frame section 13 in this stage and are not isolated in an island form. After the reinforcing film 17 is bonded to the lead frame section 13 containing the relay lead frame section 16, the section for forming the relay lead frames 16 is separated from the lead frame section 13 to form**

independent islands. Then, as shown in Fig. 1 and Fig. 2, the lead frames 13 and the relay lead frames 16 in the final stage are formed. Therefore, the relay lead frames 16 are part of the lead frame section 13 and can be electrically isolated from other lead frames 13 on the periphery, so the lead frames 13 and the relay lead frames 16 are kept in one integral structure before put to resin mold packaging. Therefore, the relay lead frames 16 can be used as the wires for the chips 11 and 12.

On the lead frames 13 thus formed, the chips 11 and 12 are connected via the connection layer 14. The chips 11 and 12 and lead frames 13 are connected to each other by Al or Au wire 15 connecting each circuit. In connecting the chips 11 and 12, since all the relay lead frames 16 are preliminarily bonded/secured to the lead frames 13 by the reinforcing film 17 and formed independently in an island form, as explained earlier, each of them is used for connecting the chips by use of wire 15. Subsequently, they are packaged with molding resin 18 into the multi-chip package.

In addition, the reinforcing film 17 may be a film made of polyester resin.

As explained above, since the present invention uses the frames constituting the prior art lead frames and the relay lead frames integrated by being bonded by the reinforcing film, a relay substrate is not needed in bonding the chip to the chip. In other words, merely by combining a technique of adding the reinforcing film to the monolithic IC manufacturing technology, the multi-chip package structure can be accomplished.

**Therefore, the multi-package structure is simplified and easily manufactured, resulting in lower cost.**

**(Advantage)**

**The multi-chip package structure of the present invention comprises lead frames on which multiple chips are directly mounted, relay lead frames made of frames constituting said lead frames and installed to connect said chips by wire-bonding, and a reinforcing resin made of resin film for bonding/securing said relay lead frames to said lead frames. Therefore, another relay substrate needs not be installed. In stead, the relay lead frames constituted by part of the prior art lead frames are bonded/secured to said lead frames by the reinforcing resin film, so the chips are connected to each other by the relay lead frames, which results in minimal manufacturing cost and simpler manufacturing process.**

**BRIEF DESCRIPTION OF THE DRAWINGS**

**Fig. 1 illustrates the multi-chip package structure as one embodiment example of the present invention. Fig. 2 shows a cross-sectional view of the multi-chip package structure as the same embodiment example. Fig. 3 shows a cross sectional view of the prior art multi-chip package structure.**

**11, 12. Chips**

**13. Lead frame**

**14. Connection layer**

**15. Wire**

**16. Relay lead frame**

**17. Reinforcing film**

**Translations**

**U. S. Patent and Trademark Office**

**7/2/02**

**Akiko Smith**